

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-310547

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl.⁵
H 01 L 21/338
29/812
21/306
23/34

識別記号 庁内整理番号
S 9272-4M
A
7376-4M

F I

技術表示箇所

H 01 L 29/80 U
審査請求 未請求 請求項の数16 O L (全14頁)

(21)出願番号 特願平5-207425

(22)出願日 平成5年(1993)8月23日

(31)優先権主張番号 特願平5-35916

(32)優先日 平5(1993)2月25日

(33)優先権主張国 日本 (JP)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 岡庭 一浩

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社光・マイクロ波デバイス開発研究
所内

(74)代理人 弁理士 早瀬 慶一

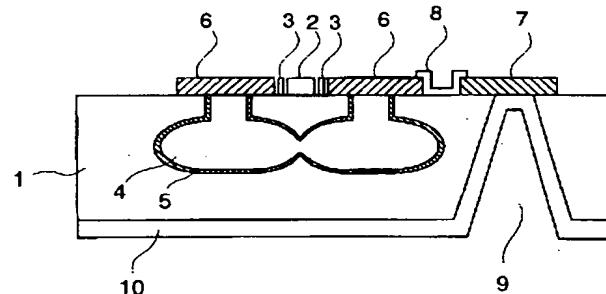
(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 半導体装置及びその製造方法において、高周波用FETのゲート電極部の熱の放散を、基板厚を保持したまま向上させる。

【構成】 基板1表面の、ゲート電極3両側に、ドライエッチングにより垂直方向にエッチングを行いホール入り口部を形成し、引き続いてウェットエッチングによって上記各ホール入り口部の下方に各々ホール本体部を形成し、その際各ホール本体部同士がつながって1つの空洞4となるようにする。さらに空洞4内に金属5を形成する。

【効果】 ゲート電極3近傍で発生した熱は、空洞4内から空洞入り口方向に向けて伝導するようになる。



- 1 : GaAs基板
- 2 : ドレイン電極
- 3 : ゲート電極
- 4 : 空洞
- 5 : 空洞内金属
- 6 : ソース電極
- 7 : バイアホール上部電極
- 8 : マイクロストリップ配線
- 9 : バイアホール
- 10 : グランド電極

第1のエッチャントを用いて上記ホール入り口部を形成する工程と、

第2のエッチャントを用いて上記ホール本体部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項1】 半導体基板の一主面に発熱性素子を有する半導体装置において、上記発熱性素子の直下の半導体基板に空洞を設けたことを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記空洞内面に金属膜を形成したことを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、上記空洞内を、金属層で充填したことを特徴とする半導体装置。

【請求項4】 請求項1記載の半導体装置において、上記空洞内面に、上記半導体基板より熱伝導性の良好な膜を形成したことを特徴とする半導体装置。

【請求項5】 請求項1記載の半導体装置において、上記空洞内を、上記半導体基板より熱伝導性の良好な層で充填したことを特徴とする半導体装置。

【請求項6】 請求項1記載の半導体装置において、上記空洞は、上記発熱性素子の左右両側において形成された2つの空洞を、上記発熱性素子の下方で接続してなるものであることを特徴とする半導体装置。

【請求項7】 請求項2記載の半導体装置において、上記発熱性素子は電界効果トランジスタであり、上記金属膜は、該トランジスタのオーミック電極と電気的に接続されるとともに、上記基板の他主面側に形成された接地電極と電気的に接続されていることを特徴とする半導体装置。

【請求項8】 請求項3記載の半導体装置において、上記発熱性素子は電界効果トランジスタであり、上記金属層は、該トランジスタのオーミック電極と電気的に接続されるとともに、上記基板の他主面側に形成された接地電極と電気的に接続されていることを特徴とする半導体装置。

【請求項9】 半導体基板上に配置された発熱性素子の直下に空洞を形成してなる半導体装置を製造する方法であって、

上記基板上に形成された発熱性素子の左右両側に、腐食性のガスと堆積性のガスを用いて上記半導体基板を垂直方向にエッティングしてホール入り口部を形成する工程と、

続いて腐食性のガスを用いて上記各ホール入り口部の下方に各々ホール本体部を形成し、その際各ホール本体部同士がつながって1つの空洞となるようにする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 請求項9記載の半導体装置の製造方法において、

上記基板上に、第2のエッチャントに対して耐腐食性を有するエッティングストップ層を介して活性層を形成し、この上に上記発熱性素子を設ける工程と、

第1のエッチャントを用いて上記ホール入り口部を形成する工程と、

第2のエッチャントを用いて上記ホール本体部を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板の一主面に形成された発熱性素子と、該発熱性素子の直下において上記基板にその裏面側から形成された凹部と、上記基板の裏面電極と上記基板の上面電極とを接続するバイアホールとを備えた半導体装置において、

上記凹部として、上記発熱性素子の直下に相当する領域に複数の単位凹部が形成されてなり、

上記基板裏面電極は上記複数の単位凹部の内側面に沿って形成されていることを特徴とする半導体装置。

【請求項12】 半導体基板上に形成された発熱性素子の直下に凹部を有し、上記基板の裏面電極と上記基板の上面電極とがバイアホールで接続されてなる半導体装置を製造する方法において、

上記バイアホールを形成すべき領域に第1の開口を有し、上記凹部を形成すべき領域に上記第1の開口よりも開口面積の小さい複数の第2の開口を有するエッチャントマスクを用いて上記基板をその裏面からウエットエッティングして、上記バイアホール、及び所定の深さを有する、上記複数の第2の開口よりのエッチャントがつながってなる单一の凹部を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項13】 半導体基板上に形成された発熱性素子の直下に凹部を有し、上記基板の裏面電極と上記基板の上面電極とがバイアホールで接続されてなる半導体装置を製造する方法において、

上記バイアホールを形成すべき領域に第1の開口を有し、上記凹部を形成すべき領域に上記第1の開口よりも開口面積の小さい複数の第2の開口を有するエッチャントマスクを用いて上記基板をその裏面からドライエッティングして、上記バイアホール、及び所定の深さを有する複数の凹部を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項14】 半導体基板上に形成された発熱性素子の直下に凹部を有し、上記基板の裏面電極と上記基板の上面電極とがバイアホールで接続されてなる半導体装置を製造する方法において、

上記基板裏面側のバイアホールを形成すべき領域の一部にドライエッティングにより第1の深さを有するバイアホール形成用凹部を形成する工程と、

上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するエッチャントマスクを用いて上記基板をその裏面からウエットエッティングして、第2の深さを有する凹部を形成するとともに、バイアホール基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成する工程とを含むこと

を特徴とする半導体装置の製造方法。

【請求項15】 半導体基板上に形成された発熱性素子の直下に凹部を有し、上記基板の裏面電極と上記基板の上面電極とがバイアホールで接続されてなる半導体装置を製造する方法において、

上記基板裏面側のバイアホール形成領域の一部をウェットエッチングして第3の深さを有するバイアホール基部を形成する工程と、

上記基板の、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域を、これらの領域に対応する開口を有するエッチングマスクを用いてドライエッチングして、上記バイアホール基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するとともに、第4の深さを有する凹部を形成する工程などを含むことを特徴とする半導体装置の製造方法。

【請求項16】 請求項14または15記載の半導体装置の製造方法において、

上記凹部内を、金属で充填する工程を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置及びその製造方法に関し、特に化合物半導体（G a A s等）による高周波用F E TまたはI C（M M I C；Microwave Monolithic Integrated Circuit）に関するものである。

【0002】

【従来の技術】 従来の高周波用F E TあるいはI C（M M I C）の断面を図19に示す。また、その製造プロセスフローを図20(a)～図20(c)に示す。図において、1は基板であり、例えばG a A s基板が高周波用としてよく用いられる。2はこの基板1上に形成されたドレイン電極で、A u G e / N i / A uの積層金属がよく用いられる。3は基板1上に形成されたゲート電極で、これにはT i / A lの積層金属がよく用いられる。6は基板1上に形成されたソース電極で、A u G e / N i / A uの積層金属がよく用いられる。7は基板1上に形成された後述するバイアホールの上部電極であり、T i / A uまたはT i / A lの積層金属がよく用いられる。8はマイクロトリップ配線で、T i / A uの積層メタルがよく用いられる。9は基板1を貫通するバイアホールであり、ドライエッチングまたはウェットエッチングで形成される。10は基板1の裏面全域にわたって形成されたグランド電極で、N i / A uがよく用いられる。なおここでは図示していないが、上記基板1の表面には活性層となる領域が形成されているものとする。

【0003】 次に図20の高周波M M I Cの製造プロセスフローについて説明する。まず、基板1上にソース電極6とドレイン電極2を、蒸着・リフトオフにより同時に形成する。次にゲート電極3を、蒸着・リフトオフにより形成する。続いて、パッシベーション膜、抵抗、イ

ンダクタ、キャパシタ（それぞれ図示せず）を形成する。次にマイクロトリップ配線8を蒸着・リフトオフにより形成する。さらにバイアホール上部電極7を蒸着・リフトオフおよびメッキにより形成する（図20(a)）。

【0004】 引き続いて、基板1の裏面から研削、ラッピング、ポリッシング、エッチングにより薄板化加工を行い、基板1を100～200ミクロンの厚さにする。そして、バイアホール上部電極7の直下に基板1を貫通するバイアホール9をエッチングにより形成する（図20(b)）。

【0005】 最後に基板1の裏面全域にわたり無電解メッキによりN i / A uを形成し、さらに電解メッキによりA uを形成することにより、上記バイアホール上部電極7と電気的に接続するグランド電極10を形成する（図20(c)）。

【0006】

【発明が解決しようとする課題】 従来の半導体装置である高周波M M I Cは、以上のように構成され、かつ製造されているので、基板1の厚みが100～200ミクロンであるため熱伝導率の小さいG a A s（熱伝導率=4.6 W / m · K）の場合、ゲート電極近傍で発生した熱の放散が悪く、温度が上昇してしまい高周波特性や信頼性に悪影響を与えるという問題点があった。また熱放散を改善するために基板の厚みを30ミクロン程度まで薄くすることもあるが、この場合はハンドリングが困難であるという問題点があった。

【0007】 ところで、例えば特開昭61-23350号公報、特開昭63-198377号公報、特開平4-311069号公報に、基板表面に発熱性素子を有し、基板裏面側から上記発熱性素子が形成された領域近傍まで凹部を形成し、ここに金属を充填するようにしたものが示されているが、このような構成において、バイアホールを用いて基板裏面側電極と基板表面に形成された上部電極とを接続するためには、上記凹部とバイアホールとをそれぞれ異なるマスクを用いてエッチングして形成するのが普通であり、この場合には製造工程の増加や、装置の微細化に伴うマスク合わせのズレによる製造精度の低下等の問題が生じることがあった。

【0008】 この発明は上記のような問題点を解決するためになされたもので、基板厚を100～200ミクロンに保ったままゲート電極近傍の熱放散を良好にして高周波特性や信頼性を向上させることのできる半導体装置及びその製造方法を提供することを目的とする。

【0009】 またこの発明は、製造工程が簡単で、製造精度が高い装置を得ることができる半導体装置の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】 この発明に係る半導体装置は、基板上に形成された発熱性素子の直下部に空洞を

設けたものである。また、上記空洞内面に熱導電性の良好な金属等の膜を設ける、あるいは空洞内を金属等の層で充填するようにしたものである。また、上記空洞内面に金属膜を設ける、あるいは空洞内を金属層で充填し、さらに基板裏面から上記空洞部に達するホールを形成して上記空洞内の金属層と基板裏面の接地電極と接続するようにしたものである。

【0011】また、この発明に係る半導体装置は、上記発熱性素子の直下に相当する基板領域に基板裏面側から形成された複数の単位凹部を備えたものである。

【0012】またこの半導体装置に係る半導体装置の製造方法は、発熱性素子の左右両側の基板を垂直方向にエッティングしてホール入口部を形成し、引き続いて上記各ホール入り口部の下方に各々ホール本体部を形成し、その際各ホール本体部同士がつながって1つの空洞となるようにするものである。

【0013】また、上記基板表面に第2のエッチャントに対して耐腐食性を有するエッティングストップ層を設け、第1のエッチャントにより上記ホール入口部を形成し、第2のエッチャントを用いて上記ホール本体部を形成するようにしたものである。

【0014】また、この発明に係る半導体装置の製造方法は、バイアホール形成用の第1の開口と、該第1の開口よりも開口面積が小さい複数の第2の開口を有する凹部形成用の第2の開口とを有するマスクを用いて基板をその裏面からウエットエッティングあるいはドライエッティングし、バイアホールと凹部とを同時に形成するものである。

【0015】また、この発明に係る半導体装置の製造方法は、基板裏面側にドライエッティングにより第1の深さを有するバイアホール形成用凹部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するマスクを用いてウエットエッティングを行い、第2の深さを有する凹部、及びバイアホール基部を形成するとともに、該基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するようにしたものである。

【0016】また、この発明に係る半導体装置の製造方法は、基板裏面側のバイアホール形成領域の一部にウエットエッティングにより第3の深さを有するバイアホール基部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するマスクを用いてドライエッティングを行い、第4の深さを有する凹部を形成するとともに、上記バイアホール基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するようにしたものである。

【0017】

【作用】この発明においては、発熱性素子の直下に空洞が形成されているため、発熱性素子近傍で発生した熱は上下左右のあらゆる方向に伝導するが、基板の下方向に

伝導する熱は空洞内から空洞の入り口方向に伝導するため、熱伝導率が改善される。

【0018】また、上記空洞内面に設けられた金属等の膜、あるいは空洞内を充填する金属等の層により、熱伝導率改善の効果がより大きくなる。また、上記空洞内面に金属膜を設ける、あるいは空洞内を金属層で充填し、かつ基板裏面から形成したホールと貫通させて基板裏面の接地電極と接続するようにしたので、バイアホールとして機能する。

10 【0019】また、この発明においては、発熱性素子の左右両側の基板に形成したホール入口部に対し、これに続くホール本体部を形成することによって隣接するホール同士を接続するようにしたから、上記発熱性素子直下を空洞化することができる。

【0020】また、基板上に形成した、第2のエッチャントに対して不動体化するエッティングストップ層により、ホール本体部を形成する際の寸法制御が可能となる。

20 【0021】また、この発明においては、バイアホール形成用の第1の開口と、該第1の開口よりも開口面積が小さい複数の第2の開口を有する凹部形成用の第2の開口とを有するマスクを用いてウエットエッティングあるいはドライエッティングを行うことにより、バイアホールと凹部とが同時に形成される。

【0022】また、基板裏面側にドライエッティングにより第1の深さを有するバイアホール形成用凹部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するマスクを用いてウエットエッティングを行い第2の深さを有する凹部、及びバイアホール基部を形成するとともに、該基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成することにより、凹部における基板の残し厚を容易に制御することができる。

30 【0023】また、基板裏面側にウエットエッティングにより第3の深さを有するバイアホール基部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域に開口を有するマスクを用いてドライエッティングを行い第4の深さを有する凹部を形成するとともに、上記バイアホール基部から上記基板表面まで貫通させてなるバイアホール貫通部を形成することにより、凹部における基板の残し厚を容易に制御することができる。

【0024】

【実施例】実施例1. 以下、この発明の実施例を図について説明する。図1はこの発明の第1の実施例による高周波MMI Cの断面図であり、図2(a)～(e)はその製造プロセスフローを示す図ある。これらの図において、図8と同一符号は同一または相当部分を示し、4はゲート部直下の基板1に形成された空洞である。また4aはソース電極6の直下に形成された空洞の入り口部で、4

7
bは空洞の本体部である。また5は空洞4内に形成された空洞内金属である。なお、ここでは図示していないが、基板1表面には活性層となる領域が形成されているものとする。

【0025】次に図2に示す製造プロセスフローの詳細について説明する。まず、GaAs基板1上にドレイン電極2を蒸着・リフトオフで形成する。次にゲート電極3を蒸着・リフトオフで形成する(図2(a))。次いで、ドレイン電極となる部分にドライエッティングにより垂直なホールを形成する。このとき、エッティングガスには腐食性と堆積性を得るために塩素ガスと四塩化珪素ガスを1対4の割合で混合したものを用い、フォトレジスト(図示せず)をマスクにして30mTorrの圧力で10分間エッティングすることにより、深さ約10ミクロンの垂直なホール(入り口部)4aが形成される(図2(b))。

【0026】次いで、同じフォトレジストをそのままマスクにして、エッティングガスとして腐食性を得るために塩素ガスと四塩化珪素ガスを1対1の割合で混合したものを用いて、60mTorrの圧力で30分間エッティングすると、深さ約50ミクロンの等方的なホールが形成されて隣接するホールとホールが接続され、1つの横長のホール(本体部)4bが形成される(図2(c))。このとき垂直にエッティングした部分には側壁を保護する反応生成物(Si, C, Cl, Oより形成されている)が残るので、横長にエッティングする際にも先に形成した入り口部4aの垂直形状は保たれる。さらに、同じフォトレジストをそのままマスクにして、無電解メッキによりNiまたはAuを空洞内金属5として形成する(図2(d))。

【0027】次いで、ソース電極6を蒸着・リフトオフにて形成し、続いて、パッシベーション膜、抵抗、インダクタ、キャパシタ(それぞれ図示せず)を形成する。なおここでは空洞内金属5によって隣接するソース電極6間が接続されたものとなっているが、使用目的に応じて空洞内金属5とソース電極6とを接続しないようにすることもある。次にマイクロストリップ配線8を蒸着・リフトオフにより形成する。さらにバイアホール上部電極7を蒸着リフトオフとメッキにより形成する。引き続いて、基板1の裏面から研削、ラッピング、ポリッシング、エッティングにより薄板化加工を行い、GaAs基板1を100~200ミクロンの厚さにする。そしてバイアホール上部電極7の直下に基板1を貫通するバイアホール9をエッティングにより形成する。最後に基板1の裏面全域にわたり無電解メッキによりNi/Auを形成し、さらに電解メッキによりAuを形成することにより、上記バイアホール上部電極7と電気的に接続するグランド電極10を形成する(図2(e))。

【0028】このように本実施例によれば、ゲート電極3及びソース電極6直下のGaAs基板1にソース電極6と接続する入り口部4aを有する空洞4を設けたか

ら、ゲート電極3近傍で発生した熱は、空洞内4から空洞の入り口部4aの方向へと伝導するようになり、熱伝導率が改善され、従って基板1の厚さを保ったままで高周波特性や信頼性を向上させることができる。また空洞4内にはこれに沿って空洞内金属層(金の熱伝導率319W/m·K)5が形成されているため、熱伝導率の改善効果は大きいものである。

【0029】実施例2. 次に本発明の第2の実施例による高周波MMIC及びその製造方法を図について説明する。図3に示すように、この実施例2では、空洞4内を金属50で充填するようにしたものである。

【0030】次に製造方法について説明する。上記実施例と同様にして基板1表面にドレイン電極2、ゲート電極3を形成し、エッティングにより空洞入り口部4a、本体部4bを形成する(図4(a)~(c)参照)。

【0031】続いて、無電解メッキ又はパルス式の電気メッキにより、NiまたはAu等の金属50でホール4内を埋め込む(図4(d))。次いで上記実施例と同様に、各電極及び他の回路素子の形成、基板薄板化加工、バイアホールの形成を行い、最後にグランド電極10を形成する(図4(e))。

【0032】このように本実施例2では、空洞4内を金属50で充填することにより、ゲート電極3近傍で発生した熱の放散をさらに向上させることができるとともに、空洞4内が金属50で充填されているため、空洞4形成による基板強度の低下を防止することができる。なお、上記金属50としては、基板1と熱膨張率が近いものが好ましい。

【0033】実施例3. 次に本発明の第3の実施例による高周波MMIC及びその製造方法を図について説明する。図5に示すように、この実施例3では、空洞4内を金属50で充填するとともに、GaAs基板1裏面から空洞部4に向けてホール4cを形成し、ホール4c内に金属51を充填して電気的に裏面のグランド電極10とソース電極6とを接続するようにしたものである。

【0034】次に製造方法について説明する。図6(a)~(d)の工程は図4(a)~(d)の工程と同一であるので、ここではそれ以降の工程について説明する。図6(e)に示すように、各電極を形成した後、基板1を100~200ミクロンに薄板化する。このときバイアホール上部電極は形成されない。

【0035】次いで、図6(f)において、フォトレジスト(図示せず)をマスクにドライエッティングにより基板1裏面にホール4cを形成し空洞部4と連通させる。そしてフォトレジスト除去後、最後に基板裏面全域にわたり無電解メッキによりNi/Auを形成し、さらに電解メッキによりAuを形成して裏面電極10及び金属51とする。

【0036】このような方法を用いることにより、熱放散のための空洞内金属と、ソース電極6を接続するため

のバイアホールとを兼用でき、デバイスの微細化を図ることができる。

【0037】実施例4. 次に本発明の第4の実施例4による高周波MMICを図について説明する。図7に示すように、この実施例ではGaAs上にi-AlGaAs, バッファ層, n-GaAs層を順次積層したものを基板として用いることにより、空洞形成時の寸法制御を行うようにしたものである。

【0038】以下、製造方法について説明する。GaAs基板1上にi-AlGaAs層1c, バッファ層1b, n-GaAs層1aを積層した基板に対し、空洞形成時にまず塩素ガスと四塩化珪素ガスを1対4の割合で混合したものを用いて、3.0mTorrの圧力でn-GaAs層1a, バッファ層1b, i-AlGaAs層1cを垂直にエッティングした後、塩素ガスと四塩化珪素ガスと六フッ化硫黄ガスを1対4対1の割合で混合したものを用いて、6.0mTorrの圧力で30分間エッティングすると、約50ミクロン深さの横長なホールが形成されて隣接するホールとホールが接続され1つ空洞40が形成される。このとき、i-AlGaAs層1cは六フッ化硫黄ガスにより不動態化するのでエッティングされず、従って横長な空洞40形成時のバッファ層1bに対するエッティングストップ層として作用し、エッティング時の寸法制御が容易になる。またn-GaAs層1a, バッファ層1b, i-AlGaAs層1cを垂直にエッティングした部分には側壁を保護する反応生成物(Si, C, C1, Oで形成されている)が残るので、横長にエッティングする際にもこの垂直形状は保たれる。なお、52, 53はそれぞれ横長なホール40, ホール4cを充填する金属を示す。

【0039】なお、上記第1及び第2の実施例では金属を用いて空洞内面を覆う、または充填するようにしたが、金属以外でも、例えば導電性樹脂等、熱伝導性の良いものであればこれを用いることができる。

【0040】また、上記第3の実施例では、空洞4内を充填する金属50とグランド電極10とを接続するようにしたが、第1の実施例の構成において、空洞4内面に形成された空洞内金属5と接続するようにしてもよい。

【0041】実施例5. 次に本発明の第5の実施例による高周波MMICの製造方法を図について説明する。図8において、11はFETの下方の基板1に形成された凹部であり、該凹部11の底面部は波板状になっている。

【0042】次に製造方法について説明する。まず、図9(a)に示すように、従来例と同様にしてGaAs基板1表面にドレイン電極2, ゲート電極3, ソース電極6, バイアホール上部電極7を形成した後、薄板化加工を行ない、続いて基板1裏面に、図10に示すような形状の開口13a, 13bを有するマスクを用いてエッティングを行う。

【0043】このとき互いの開口面積が10倍以上異なる開口を有するエッティングマスク13を用いてエッティングを行う。ここでは、小さい方の開口13aは5.0μm×1.0μm、大きい方の開口13bは1.00μm×5.0μmとした。図11にH₂SO₄:H₂O₂:H₂O=1.00cc:5.00cc:1.00ccの場合の、エッティングレートのマスク開口面積に対する依存性を示す。この図よりマスク開口面積が10倍異なるとエッティング深さが約2.0~3.0μm異なることが分かる。従ってバイアホール9が基板1を貫通した時点で他方のホール(凹部)11はGaAs基板1の厚み2.0~3.0μmを残してエッティングを終了することができる。エッティング時間は基板厚が1.00μmの場合は約3.0~4.0分、基板厚が1.50μmの場合は約9.0~12.0分、基板厚が2.00μmの場合は約12.0~15.0分である。またこの実施例5ではH₂SO₄系のウェットエッティングを用いているため、深さ方向に対して0.6~1.0倍のサイドエッティングが生じる。その結果、小さい方のマスク開口部13aの隣接パターンとの距離は3.0μmであるため、図9(b)に示すように、隣接パターン同士のサイドエッティングが重なり合い、ひとつの大きなホール11を形成するようになる。またその際、ホール11の底面は波板状になるが、基板1表面に形成された発熱性素子の放熱効果には影響はない。

【0044】続いて基板1の裏面にグランド電極10を上記各実施例と同様に形成する(図9(c))。またこの後、続いて、ホール11内をAuメッキ12で埋め込むようにしてもよく(図9(d)参照)、このようにすることで、基板1の表面側で発生した熱をいち早く基板裏面側に伝達することができ、出力効率が向上し、さらに信頼性も向上する。

【0045】このように本実施例によれば、その開口面積が10倍以上異なる開口部13a, 13bを有するエッティングマスク13を用いてウェットエッティングを行うことにより、放熱用の凹部11とバイアホール9とを同時に形成することができ、製造工程が簡単で、また同一のマスクを用いてエッティングを行うため、マスク合わせ等の問題を考慮する必要がなく、プロセスが容易であり、さらに製造精度を向上させることができる。また放熱に関しては主に基板裏面側から行われるため、上記実施例1ないし実施例4に比べて基板表面に形成された素子等への影響が低減される。

【0046】なおこの実施例では、上記ホール11内をAuメッキ12で充填するようにしたが、チップをダイボンドする際に用いられるAuSn半田をやや多めに用いることでダイボンド時にAuSn半田が凹部11に流入して該凹部11がAuSn半田により充填された構造となるために同様の構成とすることもできる。

【0047】実施例6. 次に本発明の第6の実施例による高周波MMICの製造方法を図について説明する。図

12において、9aは垂直形状に形成されたバイアホール、11aはFET下の方に形成された垂直形状の複数の凹部である。

【0048】次に製造方法について説明する。上記実施例5と同様に、表面工程、薄板化工程を経て、図10に示したような、それぞれの開口面積が10倍以上異なる開口部を有するエッチングマスクを用いてドライエッチングを行う。ここでは、小さい方の開口は $70\mu\text{m} \times 10\mu\text{m}$ 、大きい方の開口は $100\mu\text{m} \times 70\mu\text{m}$ とした。また図1.4にSiC14/C12ガスを用いた場合のエッチングレートのマスク開口面積に対する依存性を示す。この図よりマスク開口面積が10倍異なるとエッチング深さが約 $20 \sim 30\mu\text{m}$ 異なってくることが分かる。従ってバイアホール9aが基板1を貫通した時点で他方のホール11bはGaAs基板1の厚み $20 \sim 30\mu\text{m}$ を残してエッチングを終了することができる。エッチング時間は基板厚が $100\mu\text{m}$ の場合は約100分～120分、基板厚が $150\mu\text{m}$ の場合は約150分～170分、基板厚が $200\mu\text{m}$ の場合は約200分～220分である。

【0049】この実施例ではC1系のドライエッチングであるためサイドエッチングがほとんど生じない。その結果、小さい方のマスク開口部13aの隣接パターンとの距離は $5\mu\text{m}$ であるため、図13(b)に示すように、基板1に形成された凹部は櫛形の断面形状となる。続いてグランド電極10を上記実施例と同様の方法にて形成し、その厚みを $5\mu\text{m}$ とすることによって幅 $10\mu\text{m}$ のホール内にAuが埋め込むように形成できる(図11(c))。

【0050】以上のように構成することで、得られる効果としては、上記実施例と同様に基板表面側で発生した熱をいち早く裏面側に伝達することによって、出力効率が向上でき、さらに信頼性をも向上できる。また、凹部11a内に形成されたグランド電極10間に隙間があるため、熱応力によるストレスを緩和でき、チップの反り等を低減することができる。

【0051】実施例7. 次に本発明の第7の実施例による高周波MMICの製造方法を図について説明する。図15において、9bはドライエッチングにより形成された垂直形状のバイアホール上部、9cは凹部11とともにウエットエッチングにて形成されたテーパ状のバイアホール下部である。

【0052】次に製造方法について説明する。従来例と同様にして表面工程、薄板化工程を経て(図16(a))、続いて裏面側からバイアホールと深さの異なる2種類のホールを形成するが、この際まず第1段階として、ドライエッチングでバイアホール9dを途中まで形成する。このとき、エッチングマスクとしてポジ型レジストを用い、エッチングガスは上記実施例6と同じくSiC14/C12系のものを用いて約30分エッチング

することによって、深さ $30\mu\text{m}$ のホール9dが形成される(図16(b))。

【0053】次に第2段階として、FET部直下とバイアホール部分にそれぞれ開口したネガ型レジストをエッチングマスクに用い、基板厚が $100\mu\text{m}$ の場合、深さ約 $70\mu\text{m}$ までウェットエッチングすることによってバイアホールを貫通させる。基板厚が $150\mu\text{m}$ の場合はウェットエッチングの深さを $120\mu\text{m}$ 、基板厚が $200\mu\text{m}$ の場合はウェットエッチングの深さを $170\mu\text{m}$ とする(図16(c))。続いて、ホール11内をAuメッキ12で埋め込む(図16(d))。

【0054】このように本実施例7においては、ドライエッチングによりバイアホールの一部を先に形成しておき、ウェットエッチングにてバイアホール下部9cと凹部11とを同時に形成することにより、エッチング工程を短くすることができ、また基板の残し厚の制御を容易に行うことができ、製造精度を向上させることができる。

【0055】実施例8. 次に本発明の第8の実施例による高周波MMICの製造方法を図17について説明する。図において、11aはドライエッチングによりFET下方に形成された垂直形状の凹部、9dはドライエッチングにより形成された垂直形状のバイアホールの上部、9eはウエットエッチングにより形成されたバイアホールの下部である。

【0056】次に製造方法について説明する。まず、従来例と同様にして表面工程、薄板化工程を経て(図18(a))、続いて裏面側からバイアホールと、該バイアホールとは深さの異なるホールを形成する際に、まず第1段階としてウェットエッチングでバイアホールの下部9eを形成する。このときのエッチングマスクはネガ型レジストを用い、エッチング液は上記と同じものを用い、またエッチング時間は基板厚が $100\mu\text{m}$ 、 $150\mu\text{m}$ 、 $200\mu\text{m}$ とも約5分で、深さ約 $30\mu\text{m}$ のホールが形成される(図18(b))。

【0057】次にFET部直下とバイアホール下部9eの内部にそれぞれ開口したポジ型レジストをエッチングマスクに用い、深さ約 $70\mu\text{m}$ までドライエッチングすることによってバイアホールの上部9fを形成してバイアホールを貫通させるとともに、FET下方に垂直形状の凹部11aを形成する(図18(c))。基板厚が $150\mu\text{m}$ の場合はドライエッチングの深さを $120\mu\text{m}$ 、基板厚が $200\mu\text{m}$ の場合はドライエッチングの深さを $170\mu\text{m}$ とする。このときのドライエッチングのガスは上記実施例7と同じくSiC14/C12系を用いる。続いて、ホール11内をAuメッキ12で埋め込む(図18(d))。

【0058】このようにウエットエッチングによりバイアホール下部9eを先に形成した後、ドライエッチングにより凹部11aとバイアホール上部9fとを同時に形

成することにより、上記実施例7と同様に、エッチング処理に要する時間を短くすることができ、また基板の残し厚の制御を容易に行うことができ、製造精度を向上させることができる。

【0059】なお、上記実施例7では、上部、下部の2種類のホールを基板裏面側から形成するようにしたが、バイアホール上部電極7の形成を後にして、先にバイアホール上部9bをドライエッチングにて基板表面側から形成するようにしてもよい。さらに、上記各実施例では発熱性素子として、高周波用FETを例に挙げて説明したが、これ以外の発熱性素子であってもよいことはいうまでもない。

【0060】

【発明の効果】以上のように、この発明に係る半導体装置によれば、発熱性素子の直下に空洞を形成するようにしたので、発熱性素子近傍で発生した熱を効率良く放散することができ、その結果、ハンドリングは従来のままで、高周波特性や信頼性の向上したMMICが得られる効果がある。また、上記空洞内面に設けられた熱伝導率の高い金属等の膜、あるいは空洞内を充填する金属等の層により熱放散がより大きくなるという効果がある。

【0061】また、上記空洞内面に金属膜を設ける、あるいは空洞内を金属層で充填し、かつ基板裏面から形成したホールと貫通させて基板裏面の接地電極と接続するようにしたので、放熱用の金属がバイアホールとして機能することとなり、デバイスの微細化を図ることができる効果がある。

【0062】また、この発明に係る半導体装置の製造方法は、発熱性素子両側に形成した垂直形状のホール入口部に続く横長なホール本体部を形成することによって隣接するホール同士を接続するようにしたから、発熱性素子直下を容易に空洞化することができる効果がある。

【0063】また、上記横長なホール本体部を形成する際に用いられるエッチャントに対して不動体化するエッチングトップ層を基板上に形成することにより、横長なホール本体部を形成する際の寸法制御が可能となる効果がある。

【0064】また、この発明に係る半導体装置の製造方法は、バイアホール形成用の第1の開口と、該第1の開口よりも開口面積が小さい複数の第2の開口を有する凹部形成用の第2の開口とを有するマスクを用いてウエットエッチングあるいはドライエッチングを行い、バイアホールと凹部とを同時に形成するようにしたので、エッチング処理に要する時間を短縮することができ、また凹部における基板の残し厚を容易に制御することができる効果がある。

【0065】また、基板裏面側にドライエッチングにより第1の深さを有するバイアホール形成用凹部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域にそれぞれ開口を有するマスクを用い

てウエットエッチングを行い第2の深さを有する凹部、及びバイアホール基部を形成するとともに、該基部底面の一部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するようにしたので、凹部における基板の残し厚を容易に制御することができる。

【0066】また、基板裏面側にウエットエッチングにより第3の深さを有するバイアホール基部を形成し、上記バイアホールを形成すべき領域、及び上記凹部を形成すべき領域に開口を有するマスクを用いてドライエッチングを行い第4の深さを有する凹部を形成するとともに、上記バイアホール基部から上記基板表面まで貫通させてなるバイアホール貫通部を形成するようにしたので、エッチング処理に要する時間を短縮することができ、また凹部における基板の残し厚を容易に制御することができる効果がある。

【図面の簡単な説明】

【図1】この発明の第1の実施例による半導体装置（高周波MMIC）を示す断面図。

【図2】上記半導体装置の製造方法を示す断面図。

【図3】本発明の第2の実施例による半導体装置（高周波MMIC）を示す断面図。

【図4】上記半導体装置の製造方法を示す断面図。

【図5】本発明の第3の実施例による半導体装置（高周波MMIC）を示す断面図。

【図6】上記半導体装置の製造方法を示す断面図。

【図7】本発明の第4の実施例による半導体装置（高周波MMIC）を示す断面図。

【図8】本発明の第5の実施例による半導体装置（高周波MMIC）を示す断面図。

【図9】上記半導体装置の製造方法を示す断面図。

【図10】上記製造方法において用いられるエッチングマスクを示す図。

【図11】ウエットエッチング時のマスク開口面積に対するエッチングレートの依存性を説明するための図。

【図12】本発明の第6の実施例による半導体装置（高周波MMIC）を示す断面図。

【図13】上記半導体装置の製造方法を示す断面図。

【図14】ドライエッチング時のマスク開口面積に対するエッチングレートの依存性を説明するための図。

【図15】本発明の第7の実施例による半導体装置（高周波MMIC）を示す断面図。

【図16】上記半導体装置の製造方法を示す断面図。

【図17】本発明の第8の実施例による半導体装置（高周波MMIC）を示す断面図。

【図18】上記半導体装置の製造方法を示す断面図。

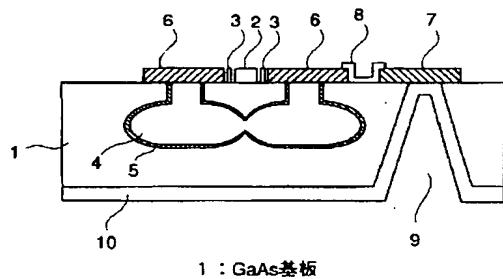
【図19】従来の半導体装置（高周波MMIC）を示す断面図。

【図20】従来の半導体装置（高周波MMIC）の製造方法を示す断面図。

【符号の説明】

1 GaAs基板
 1a n-GaAs層
 1b バッファ層
 1c i-AlGaAs層
 2 ドレイン電極
 3 ゲート電極
 4 空洞
 4a ホール入り口部
 4b ホール本体部
 4c ホール
 5 空洞内の金属
 50 空洞内の金属
 51 ホール内の金属

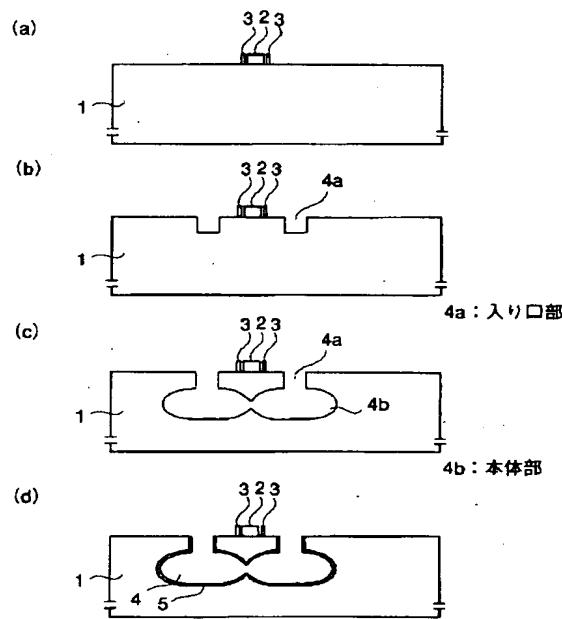
【図1】



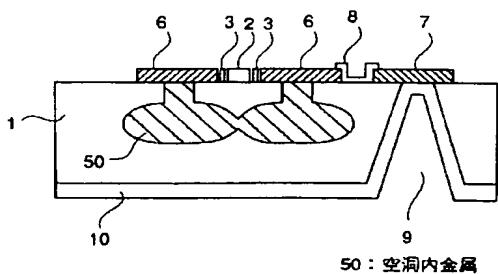
1 : GaAs基板
 2 : ドレイン電極
 3 : ゲート電極
 4 : 空洞
 5 : 空洞内金属
 6 : ソース電極
 7 : バイアホール上部電極
 8 : マイクロストリップ配線
 9 : バイアホール
 10 : グランド電極

15
 52 空洞内の金属
 53 ホール内の金属
 6 ソース電極
 7 バイアホール上部電極
 8 マイクロストリップ配線
 9, 9a バイアホール
 9b, 9c バイアホール上部
 9c, 9e バイアホール下部
 10 裏面グランド電極
 11 凹部
 12 Auメッキ
 13 エッチングマスク

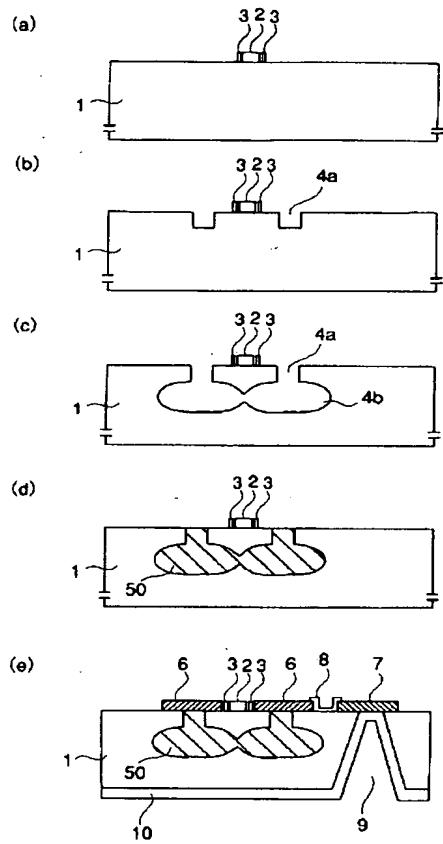
【図2】



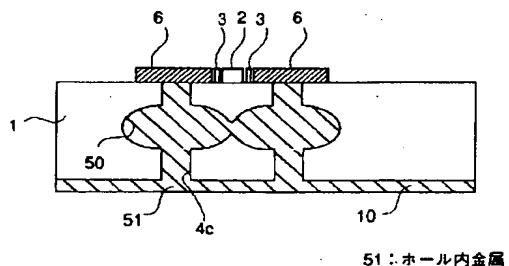
【図3】



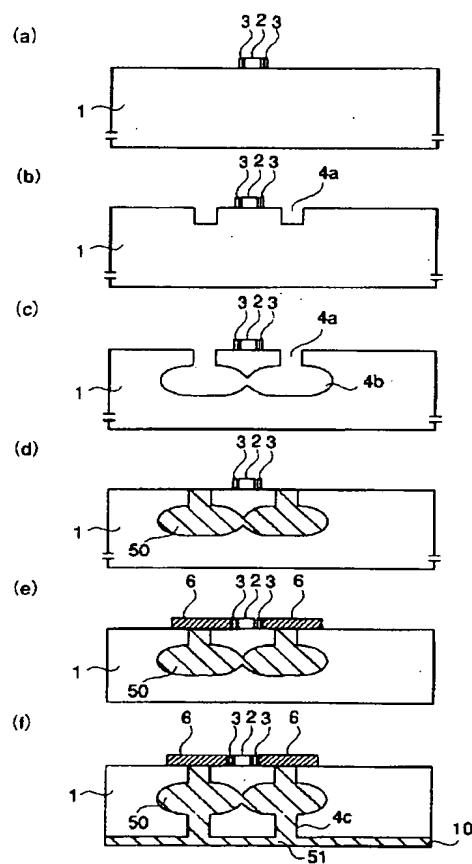
【図4】



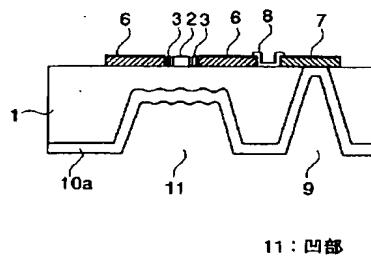
【図5】



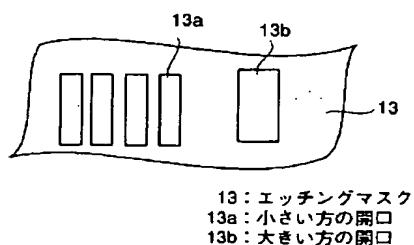
【図6】



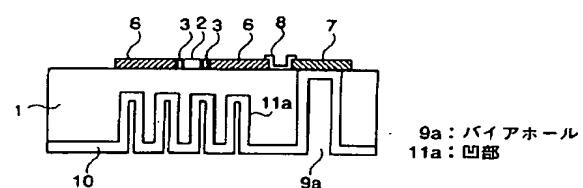
【図8】



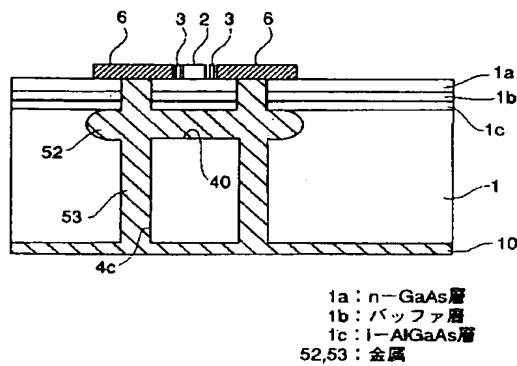
【図10】



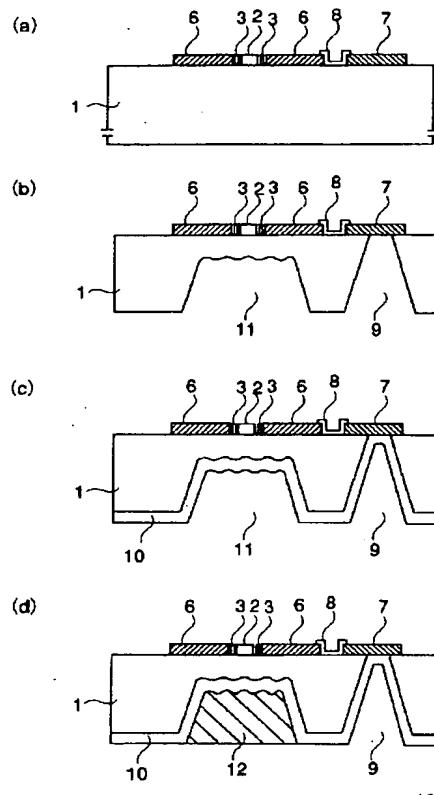
【図12】



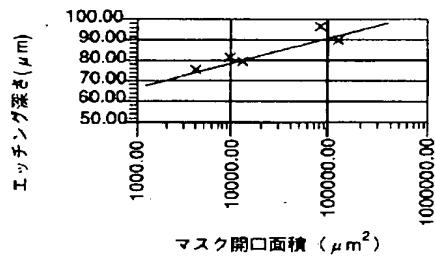
【図7】



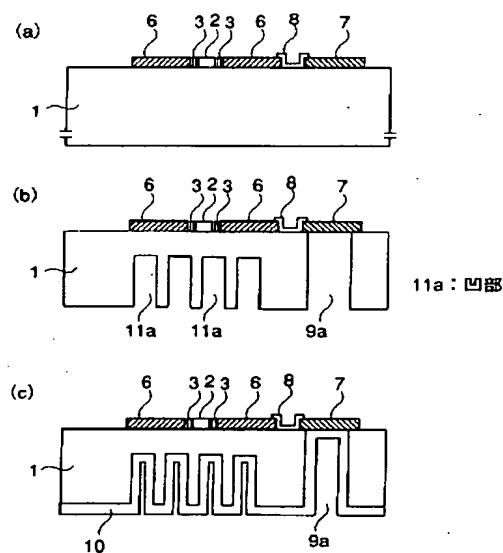
【図9】



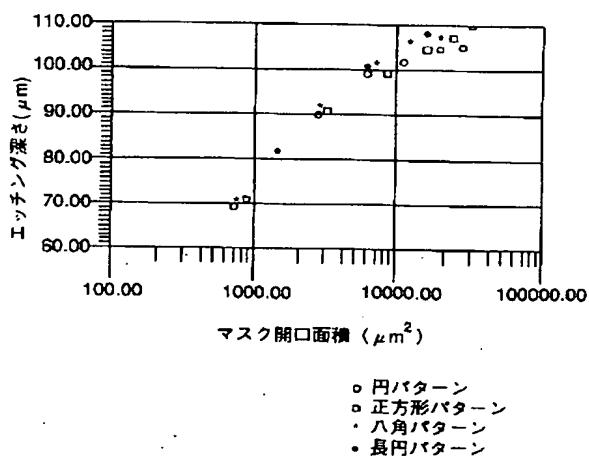
【図11】



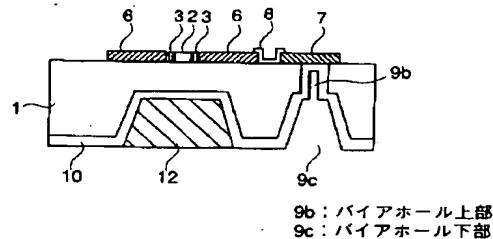
【図13】



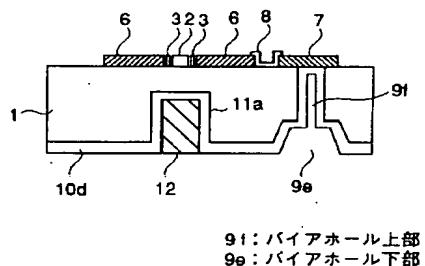
【図14】



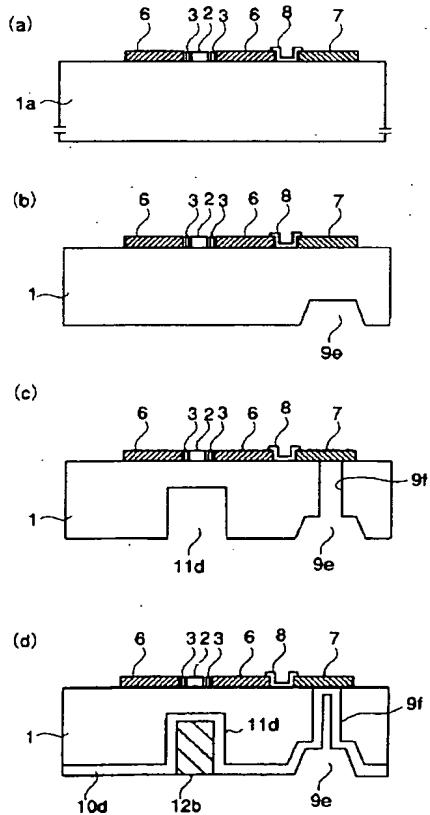
【図15】



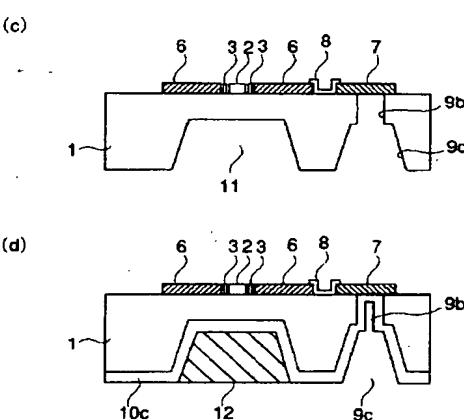
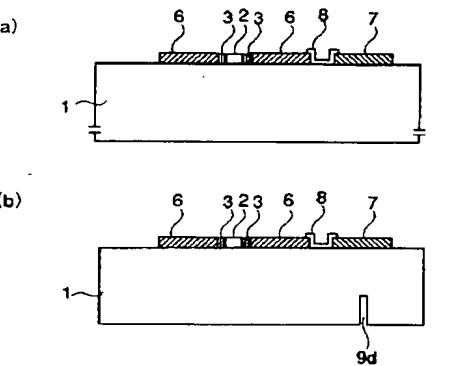
【図17】



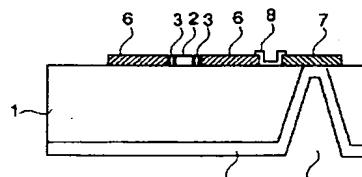
【図18】



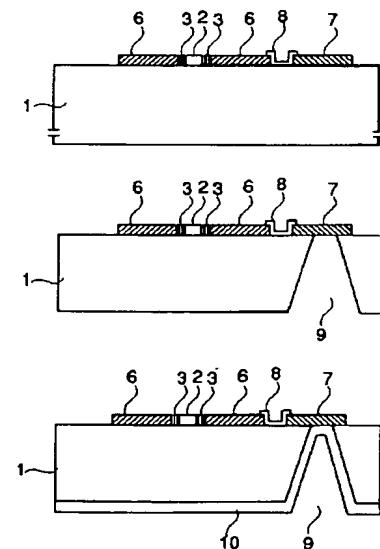
【図16】



【図19】



【図20】



【手続補正書】

【提出日】平成6年3月1日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項7

【補正方法】変更

【補正内容】

【請求項7】 請求項2記載の半導体装置において、上記発熱性素子は電界効果トランジスタであり、上記金属膜は、該トランジスタのソース電極と電気的に接続されるとともに、上記基板の他主面側に形成された接地電極と電気的に接続されていることを特徴とする半導体装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項8

【補正方法】変更

【補正内容】

【請求項8】 請求項3記載の半導体装置において、上記発熱性素子は電界効果トランジスタであり、上記金属層は、該トランジスタのソース電極と電気的に接続されるとともに、上記基板の他主面側に形成された接地電極と電気的に接続されていることを特徴とする半導体装置。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】ところで、例えば特開昭61-23350号公報、特開昭63-198377号公報、特開平4-311069号公報に、基板表面に発熱性素子を有し、基板裏面側から上記発熱性素子が形成された領域近傍まで凹部を形成し、ここに金属を充填するようにしたものが示されているが、このような構成において、バイアホールを用いて基板裏面側電極と基板表面に形成された上部電極とを接続するためには、上記凹部とバイアホールとをそれぞれ異なるマスクを用いてエッチングして形成するのが普通であり、この場合には製造工程の増加や、配線の微細化に伴うマスク合わせのズレによる製造精度の低下等の問題が生じることがあった。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】またこの発明は、製造工程が簡単で、製造精度が高い半導体装置の製造方法を提供することを目的とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】

【作用】この発明においては、発熱性素子の直下に空洞が形成されているため、発熱性素子近傍で発生した熱は上下左右のあらゆる方向に伝導するが、基板の下方向に伝導する熱は、活性層から空洞へと伝導するので、熱放散面積が拡大するため、熱伝導率が改善される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】

【実施例】実施例1. 以下、この発明の実施例を図について説明する。図1はこの発明の第1の実施例による高周波MMICの断面図であり、図2(a)～(e)はその製造プロセスフローを示す図ある。これらの図において、図1_9と同一符号は同一または相当部分を示し、4はゲート部直下の基板1に形成された空洞である。また4aはソース電極6の直下に形成された空洞の入り口部で、4bは空洞の本体部である。また5は空洞4内に形成された空洞内金属である。なお、ここでは図示していないが、基板1表面には活性層となる領域が形成されているものとする。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正内容】

【0025】次に図2に示す製造プロセスフローの詳細について説明する。まず、GaAs基板1上にドレイン電極2を蒸着・リフトオフで形成する。次にゲート電極3を蒸着・リフトオフで形成する(図2(a))。次いで、ソース電極となる部分にドライエッチングにより垂直なホール4aを形成する。このとき、エッチングガスには腐食性と堆積性を得るために塩素ガスと四塩化珪素ガスを1対4の割合で混合したものを用い、フォトレジスト(図示せず)をマスクにして30mTorrの圧力で10分間エッチングすることにより、深さ約10ミクロンの垂直なホール(入り口部)4aが形成される(図2(b))。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】このように本実施例によれば、ゲート電極3及びソース電極6直下のG a A s 基板1にソース電極6と接続する入り口部4aを有する空洞4を設けたから、ゲート電極3近傍で発生した熱は、活性層から空洞4へと伝導するので、熱放散面積が拡大するために、熱伝導率が改善され、従って基板1の厚さを保ったままで高周波特性や信頼性を向上させることができる。また空洞4内にはこれに沿って空洞内金属層（金の熱伝導率31.9 W/m·K）5が形成されているため、熱伝導率の改善効果は大きいものである。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正内容】

【0036】このような方法を用いることにより、熱放散のための空洞内金属と、ソース電極6を接地するためのバイアホールとを兼用でき、デバイスの微細化を図ることができる。なお、ホール4cの大きさはホール4bよりも小さいほうが好ましい。また、ホール4bを深く形成してホール4cの代わりに用いても効果は同じである。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】なお、上記第1～第4の実施例では金属を用いて空洞内面を覆う、または充填するようにしたが、金属以外でも、例えば導電性樹脂等、熱伝導性の良好なものであればこれを用いることができる。また、上記第3の実施例では、空洞4内を充填する金属50とグランド電極10とを接続するようにしたが、第1の実施例の構成において、空洞4内面に形成された空洞内金属5と接続するようにしてもよい。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】このように本実施例によれば、その開口面積が10倍以上異なる開口部13a、13bを有するエッチングマスク13を用いてウェットエッティングを行うことにより、放熱用の凹部11とバイアホール9とを同時に形成することができ、製造工程が簡単で、また同一のマスクを用いてエッティングを行うため、マスク合わせ等の問題を考慮する必要がなく、プロセスが容易であり、さらに製造精度を向上させることができる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0049

【補正方法】変更

【補正内容】

【0049】この実施例ではC1系のドライエッティングであるためサイドエッティングがほとんど生じない。その結果、小さい方のマスク開口部13aの隣接パターンとの距離は5μmであるため、図13(b)に示すように、基板1に形成された凹部は櫛形の断面形状となる。続いてグランド電極10を上記実施例と同様の方法にて形成し、その厚みを5μmとすることによって幅10μmのホール内にAuが埋め込むように形成できる(図13(c))。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正内容】

【0057】次にFET部直下とバイアホール下部9eの内部にそれぞれ開口したポジ型レジストをエッティングマスクに用い、深さ約70μmまでドライエッティングすることによってバイアホールの上部9fを形成してバイアホールを貫通させるとともに、FET下方に垂直形状の凹部11dを形成する(図18(c))。基板厚が150μmの場合はドライエッティングの深さを120μm、基板厚が200μmの場合はドライエッティングの深さを170μmとする。このときのドライエッティングのガスは上記実施例7と同じくSiC14/C12系を用いる。続いて、ホール11内をAuメッキ12で埋め込む(図18(d))。